

09/980098
PCT/JP 00/03405

#2

26.05.00

JP 00/3405 日 本 国 特 許 庁

JKV

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 5月31日

出 願 番 号

Application Number:

平成11年特許願第151019号

出 願 人

Applicant(s):

三菱電機株式会社

REC'D 27 JUL 2000

WIPO

PCT

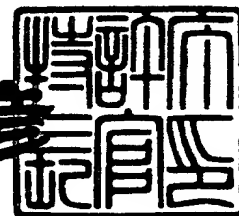
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3049096

【書類名】 特許願

【整理番号】 516271JP01

【提出日】 平成11年 5月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 伊丹 伸司

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100102439

 【弁理士】

 【氏名又は名称】 宮田 金雄

【選任した代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【選任した代理人】

 【識別番号】 100092462

 【弁理士】

 【氏名又は名称】 高瀬 彌平

【手数料の表示】

 【予納台帳番号】 011394

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特平 1 1 - 1 5 1 0 1 9

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送方式

【特許請求の範囲】

【請求項 1】 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、

親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、

子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレス及び所定のトリガ信号に基づき生成する工程と、
を備えたデータ転送方式。

【請求項 2】 トリガ信号に基づきアドレスを生成する際に、開始アドレスに対しトリガ信号のタイミングに応じてインクリメントし、アドレスを順次生成することを特徴とする請求項 1 に記載のデータ転送方式。

【請求項 3】 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータリードを行うデータ転送方式において、

データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータリードに要する開始アドレスを通知する工程と、

上記開始アドレスが通知された上記データ伝送路をデータバスとして切換える工程と、

上記開始アドレスに基づきメモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、

上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、
を備えたデータ転送方式。

【請求項 4】 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータライトを行うデータ転送方式に

において、

データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータライトに要する開始アドレスを通知する工程と、

上記開始アドレスが通知された上記データ伝送路をデータバスとして切換え、メモリにライトする所定データを送出する工程と、

上記開始アドレスに基づきメモリにアクセスし、上記所定データをメモリにライトする工程と、

上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、上記データ伝送路を介して送出される上記所定データをメモリに順次ライトする工程と、

を備えたデータ転送方式。

【請求項 5】 データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせることを特徴とする請求項 1 乃至 4 何れかに記載のデータ転送方式。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明はデータ転送における制御信号間のスキューや反射といった連続データ転送を実行する際に誤動作の原因となる各種外乱に対して安全にデータ転送を実行することを考慮した親基板と子基板間のデータ転送に関するものである。

【0 0 0 2】

【従来の技術】

まず、従来のデータ転送の構成について以下に説明する。

図 1 6 は、データ転送に関するシステム構成を示すシステム構成図である。図において、1 0 0 はデータ転送送信側の親基板、2 0 0 はデータ転送受信側の子基板、3 0 0 は親基板 1 0 0 と子基板 2 0 0 とを接続するデータ転送バスである。

なお、子基板 2 0 0 は、子基板 A 2 0 0 a、子基板 B 2 0 0 b・・・子基板 N 2 0 0 n の複数がデータ転送バスを介して親基板 1 0 0 と接続されている。

【0003】

図17は、従来の子基板の内部構成を示す図であり、同図において、201はデータ転送バス300のライトタイミング／リードタイミングを示すトリガ信号（TRG）、202はデータ転送バス300の転送中を示すFRAME、203はデータ転送バス300がライト動作を示すWRL、204はデータ転送バス300がリード動作を示すRDL、205はデータ転送バス300の下位2ビットを示す信号A15:0、206はデータ転送バス300に含まれアドレス信号をデータ信号を時分割で共有しアドレス15～2、データ15～0を示すマルチプレクスバスA15:2/D15:0、207はマルチプレクスバスをアドレスバスとデータバスに分解するセパレータ、208はデータ転送内容を記憶するメモリ、209はセパレータとメモリ間を接続するアドレスバスMA15:0、210はセパレータとメモリ間を接続するデータバスMD15:0、211はセパレータとメモリ間を接続するメモリ書き込み信号MWRL、212はセパレータとメモリ間を接続するメモリリード信号MRDLである。

【0004】

図18は、セパレータ207の内部処理を示すフローチャートである。
セパレータ207はステップS201にて、自基板の転送有無を検出するため、FRAME 202=LかつA15:0=自アドレスが成立するまで待機する。
ステップS201にて本条件が成立すると、データ転送が読み出しか書き込みかを判断するため、ステップS202にて、WRL=L、RDL=Lのどちらかを検出する。

ここでRDL=Lの時は読み出しを示し、WRL=Lの時は書き込みを示す。

【0005】

RDL=Lの時は、ステップS203に移行してリード処理を実施する。
一方、WRL=Lの時は、ステップS204に移行してライト処理を実行する。
リード処理（ステップS204）またはライト処理（ステップS205）を完了したら、転送完了処理を実行し一連の転送処理を完了する。

【0006】

次にリード処理（ステップS203）について、図19、図20、図21を用

いて説明する。

図 1 9 は、リード処理における各信号の時系列な動作を示すタイミングチャートである。

図 2 0 は、従来の親基板のリード処理の一連の流れを示したフローチャートである。

図 2 1 は、従来の子基板のセパレータ部のリード処理の一連の流れを示したフローチャートである。

【 0 0 0 7 】

親基板は、T 4 1 期間の T R G 2 0 1 立上がりにおいて、ステップ S 2 1 1 によりデータ転送の転送中を意味する F R A M E 2 0 2 を L にアサイン、読み出し転送を意味する R D L を L にアサイン、信号 A 1 : 0 (2 0 5) に転送開始アドレスの下位 2 ビットをアサイン、マルチプレクスバス A 1 5 : 2 / D 1 5 : 0 (2 0 6) に上位アドレスをアサインする。

一方、子基板は T 2 1 期間の T R G 2 0 1 立下がりにおいて、ステップ S 2 0 1 処理により自アドレスの転送開始を検出する。

T 4 2 期間では親基板はステップ S 2 1 2、を実行し、マルチプレクスバス A 1 5 : 2 / D 1 5 : 0 (2 0 6) の出力方向を切り替えるため出力を停止すると共にステップ S 2 1 3 にてマルチプレクスバス A 1 5 : 2 / D 1 5 : 0 (2 0 6) を転送方向を出力から入力に切り替える。

本期間をマルチプレクスバス A 1 5 : 2 / D 1 5 : 0 (2 0 6) の転送方向切替え期間として使用する。

【 0 0 0 8 】

子基板は T 4 2 期間の T R G 2 0 1 立下がり、ステップ S 2 3 1 により A 1 5 : 2 / D 1 5 : 0 (2 0 6) の転送方向切替え期間として解釈し、マルチプレクスバス A 1 5 : 2 / D 1 5 : 0 (2 0 6) を入力から出力方向に切り替えアドレスサイクルからデータリードサイクルに切替える。

【 0 0 0 9 】

子基板は、T 4 3 期間の T R G 2 0 1 立上がりにおいて、ステップ S 2 3 2 を実行し転送中であることを確認後、ステップ S 2 3 3 を実行し M A 1 5 : 0 (2

09)にT42期間で親基板から与えられて、アドレスA15:2/D15:0(206)とA1:0(205)を合成したアドレスを出力し、ステップS234によりMRDL212を制御してメモリリードを実行する。

その後、ステップS235によりAD17:2/D15:0にデータ1を出力する。

【0010】

親基板は、T43期間のTRG201立下がりにおいて、ステップS214を実行しデータ1を読み出す。

そして、T44期間のTRG201立上がりにおいて、親基板はステップS215を実行し、下位アドレスA1:0(205)に次アドレスを出力する。

一方、子基板ではT23期間と同様にステップS232～S235までの一連の処理を実行し、データ2を出力する。

【0011】

親基板は、T44期間のTRG201立下がり、ステップS216を実行しデータ2を読み出す。

そして、T45期間のTRG201立上がりにおいて、親基板はステップS217を実行し下位アドレスA1:0(205)に次アドレスを出力する。

一方、子基板ではT43期間と同様にステップS232～S235までの一連の処理を実行しデータ3を出力する。

【0012】

親基板は、T45期間のTRG201立下がり、ステップS218を実行しデータ3を読み出す。

そしてT46期間のTRG201立上がりにおいて、親基板はステップS219を実行し下位アドレスA1:0(205)に次アドレスを出力する。

一方、子基板ではT43期間と同様にステップS232～S235までの一連の処理を実行しデータ4を出力する。

【0013】

親基板は、T46期間のTRG201立下がり、ステップS220を実行データ4を読み出し、FRAME202=Hを出力してデータ転送の終了を明示す

る。

子基板は、ステップ S 2 3 2 により転送完了を検出しリード処理を完了する。

【0014】

次にライト処理（ステップ S 2 0 4）について、図 2 2、図 2 3、図 2 4 を用いて説明する。

図 2 2 は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

図 2 3 は、親基板のライト処理の一連の流れを示したフローチャートである。

図 2 4 は、子基板のセパレータ部のライト処理の一連の流れを示したフローチャートである。

【0015】

親基板は、T 5 1 期間の T R G 2 0 1 立上がりにおいて、ステップ S 2 1 4 により転送中を意味する F R A M E 2 0 2 を L にアサイン、書き込み転送を意味する W R L を L にアサイン、A 1 : 0 (2 0 5) に転送開始アドレスの下位 2 ビットをアサイン、A 1 5 : 2 / D 1 5 : 0 (2 0 6) に上位アドレスをアサインする。

一方、子基板は T 5 1 期間の T R G 2 0 1 立下がりにおいて、ステップ S 2 0 1 処理により自アドレスの転送開始を検出する。

【0016】

親基板は、T 5 2 期間ではステップ S 2 4 2 を実行し、A 1 5 : 2 / D 1 5 : 0 (2 0 6) に書き込みデータ 1 を出力する。

一方、子基板は、T 5 2 期間の T R G 2 0 1 立下がりですてップ S 2 6 1 を実行し、転送中であることを確認後、ステップ S 2 6 2 を実行して M A 1 5 : 0 (2 0 9) に A 1 5 : 2 / D 1 5 : 0 (2 0 6) と A 1 : 0 (2 0 5) を合成したアドレスを A 1 5 : 0 に出力する。

そして、ステップ S 2 6 3 により、A D 1 7 : 2 / D 1 5 : 0 上のデータを取り込み、ステップ S 2 6 4 により M W R L 2 1 1 を制御してメモリライトを実行する。

【0017】

親基板は、T53 期間の TRG201 立上がりにおいて、ステップ S243 を実行し、下位アドレス A1:0 (205) に次アドレスを出力し、ステップ S244 を実行して AD17:2/D15:0 上にデータ 2 を出力する。

一方、子基板では、T52 期間と同様にステップ S261～S264 までの一連の処理を実行しデータ 2 をメモリへ書き込む。

【0018】

親基板は、T54 期間の TRG201 立上がりにおいて、ステップ S245 を実行し下位アドレス A1:0 (205) に次アドレスを出力し、ステップ S246 を実行して AD17:2/D15:0 上にデータ 3 を出力する。

一方、子基板では、T52 期間と同様にステップ S261～S264 までの一連の処理を実行しデータ 3 をメモリへ書き込む。

【0019】

親基板は、T55 期間の TRG201 立上がりにおいて、ステップ S247 を実行し下位アドレス A1:0 (205) に次アドレスを出力し、ステップ S248 を実行して AD17:2/D15:0 上にデータ 4 を出力する。

一方、子基板では、T52 期間と同様にステップ S261～S264 までの一連の処理を実行しデータ 4 をメモリへ書き込む。

【0020】

親基板は、T55 期間の TRG201 立下がり、ステップ S251 を実行し FRAME202=H を出力してデータ転送の終了を明示する。

子基板はステップ S261 により転送完了を検出しライト処理を完了する。

【0021】

【発明が解決しようとする課題】

上記のような従来のデータ転送では、連続転送のデータ数が下位アドレスの信号線の数で決定してしまうとともに、より多くの連続転送を実現するためには下位アドレス信号線を追加する必要があり信号線数が増えてしまうのでコスト、部品実装ともに増加傾向になるという問題点があった。

【0022】

本発明は、かかる問題点を解決するためになされたもので、少ない信号線で安

定して膨大な連続転送を提供することを目的としている。

【0023】

【課題を解決するための手段】

本発明に係るデータ転送方式は、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレス及び所定のトリガ信号に基づき生成する工程と、を備えた。

【0024】

また、トリガ信号に基づきアドレスを生成する際に、開始アドレスに対しトリガ信号のタイミングに応じてインクリメントし、アドレスを順次生成するものである。

【0025】

また、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータリードを行うデータ転送方式において、データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータリードに要する開始アドレスを通知する工程と、上記開始アドレスが通知された上記データ伝送路をデータバスとして切替える工程と、上記開始アドレスに基づきメモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、を備えたものである。

【0026】

また、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータライトを行うデータ転送方式において、データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータライトに要する開始アドレスを通知する工程と、上記開始アドレスが通知された上記データ伝送路をデータバスとして切替え、メモリにライトする所定データ

を送出する工程と、上記開始アドレスに基づきメモリにアクセスし、上記所定データをメモリにライトする工程と、上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、上記データ伝送路を介して送出される上記所定データをメモリに順次ライトする工程と、を備えたものである。

【 0 0 2 7 】

さらに、データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせるものである。

【 0 0 2 8 】

【発明の実施の形態】

実施の形態 1.

まず、実施の形態 1 の構成について以下に説明する。

図 1 は、データ転送に関するシステム構成を示すシステム構成図である。

図において、1 はデータ転送送信側の親基板、2 はデータ転送受信側の子基板、3 は親基板 1 と子基板 2 とを接続するデータ転送バスである。

なお、子基板 2 は、子基板 A 2 a、子基板 B 2 b・・・子基板 N 2 n の複数がデータ転送バスを介して親基板 1 と接続されている。

【 0 0 2 9 】

図 2 は、本実施形態における子基板の内部構成を示す図である。

図において、2 1 はデータ転送バス 3 のライトタイミング／リードタイミングを示す TRG、2 2 はデータ転送バス 3 の転送中を示す FRAME、2 3 データ転送バス 3 がライト動作を示す WRL、2 4 はデータ転送バス 3 がリード動作を示す RDL、2 5 はアドレス信号とデータ信号を時分割で共有するマルチプレクスバス A 1 5 : 0 / D 1 5 : 0、2 6 は本実施形態 1 を実現するセパレータ、2 7 はデータ転送内容を記憶するメモリ、2 8 はセパレータとメモリ間を接続するアドレスバス MA 1 5 : 0、2 9 はセパレータとメモリ間を接続するデータバス MD 1 5 : 0、3 0 はセパレータとメモリ間を接続するメモリ書き込み信号 MWRL、3 1 はセパレータとメモリ間を接続するメモリリード信号 MRDL である。

【0030】

セパレータ 26 は、自基板の転送有無を検出するため、FRAME 22 = L かつ A15 : 0 = 自アドレスが成立するまで待機し、本条件が成立すると、データ転送が読み出しか書き込みかを判断するため、WRL = L（書き込み）、RDL = L（読み出し）のどちらかを検出する。

RDL = L の時はリード処理を実施し、WRL = L の時はライト処理を実行する。

そして、リード処理またはライト処理を完了したら、転送完了処理を実行し一連の転送処理を完了する。

【0031】

次に、リード処理に関して図 3、図 4、図 5 により説明する。

図 3 は、本実施の形態でのリード処理における各信号の時系列な動作を示すタイミングチャートである。

図 4 は、本実施の形態での親基板のリード処理の流れを示したフローチャートである。

図 5 は、本実施の形態での子基板のリード処理の一連の流れを示したフローチャートである。

【0032】

親基板は、T1 期間にてステップ S1 により、転送中を意味する FRAME 22 を L にアサイン、読み出し転送を意味する RDL 24 を L にアサイン、マルチプレクスバス A15 : 0 / D15 : 0 (25) に転送開始アドレスをアサインする。

そして、ステップ S2 にて、前述各信号を出力した親基板は TRG 21 を立ち下げる。

一方、子基板は、T1 期間の TRG 21 立下り時点で、ステップ S31 により MA15 : 0 に転送開始アドレスがアサインされたマルチプレクスバス A15 : 0 / D15 : 0 (25) の内容を転送、保持しメモリのアドレスを確定する。

その後、親基板はステップ S3 により TRG 21 を立ち上げる。

【0033】

T2 期間では、親基板においてステップ S4 にて出力方向を切り替えるためアドレス出力を停止し、その後ステップ S5 で転送方向を出力から入力に切り替える、ステップ S6 にて TRG21 立ち下げる。そして、ステップ S7 にて TRG21 を立ちあげる

子基板においては、TRG21 立下がり、ステップ S32 によりマルチプレクスバス A15:0/D15:0 (25) の転送方向切替え期間として解釈し、マルチプレクスバス A15:0/D15:0 (25) を入力から出力方向に切り替えアドレスサイクルからデータリードサイクルに切替える。

【0034】

T3 期間で親基板は、リードデータを子基板に要求するため、ステップ S8 により TRG21 を立ち下げると、子基板はステップ S33 を実行し、転送中であることを確認すると共に、ステップ S34 で TRG21 の立下がりを検出する。TRG21 を検出した子基板は、ステップ S35 により、メモリに親基板から指定された開始アドレスを出力し、ステップ S36 で MRDL31 を操作してメモリリードを実行しする。

その後、ステップ S37 により A15:0/D15:0 (25) にデータ 1 を出力する。

【0035】

親基板は、読み出しタイミングを子基板に知らせるため、ステップ S9 にて TRG21 を立ち上げると同時に、ステップ S10 を実行し、A15:0/D15:0 (25) のデータ 1 を取り込みリード処理を実行する。

子基板は、TRG21 の立上がりにより (ステップ S38)、ステップ S39 を実行し、A15:0/D15:0 (25) への出力停止し、その後、ステップ S40 により次転送用アドレスの準備を実行する。

【0036】

T4 期間で親基板は、ステップ S11 を実施し、TRG21 を立ち下げる。子基板は、ステップ S33 を実行し転送中であることを確認すると共に、ステップ S34 で TRG21 の立下がりを検出する。

TRG21 を検出した子基板は、ステップ S35 によりメモリに親基板から指定

された開始アドレスと、ステップ S 40 で準備した次転送アドレスの加算結果を出力して、ステップ S 36 に移行する。

ステップ S 36 では、メモリリードを実行し、ステップ S 37 により A 15 : 0 / D 15 : 0 (25) にデータ 2 を出力する。

【0037】

親基板はステップ S 12 により TRG 21 を立ち上げると同時に、ステップ S 13 を実行し、A 15 : 0 / D 15 : 0 (25) のデータ 2 を取り込みリード処理を実行する。

子基板は、TRG 21 の立上がりにより、ステップ S 39 を実行し、A 15 : 0 / D 15 : 0 (25) への出力停止し、ステップ S 40 により次転送用アドレスの準備を実行する。

【0038】

T 5 期間で親基板は、子基板にデータ 3 を要求するため、ステップ S 14 により TRG 21 を立ち下げる。

子基板は、ステップ S 33 を実行し、転送中であることを確認すると共に、ステップ S 34 で TRG 21 の立下がりを検出する。

TRG 21 を検出した子基板は、ステップ S 35 によりメモリに親基板から指定された開始アドレスと、ステップ S 40 で準備した次転送アドレスの加算結果を出力し、ステップ S 36 でメモリリードを実行し、ステップ S 37 により A 15 : 0 / D 15 : 0 (25) にデータ 3 を出力する。

【0039】

親基板は、ステップ S 15 により TRG 21 を立ち上げると同時に、ステップ S 16 を実行し、A 15 : 0 / D 15 : 0 (25) のデータ 3 を取り込みリード処理を実行する。

子基板は、TRG 21 の立上がりにより、ステップ S 39 を実行し、A 15 : 0 / D 15 : 0 (25) への出力停止し、ステップ S 40 により次転送用アドレスの準備を実行する。

【0040】

T 6 期間で親基板は、子基板にデータ 4 を要求するため、ステップ S 17 によ

りTRG21を立ち下げる。

子基板は、ステップS33を実行し転送中であることを確認すると共に、ステップS34でTRG21の立下がりを検出する。

TRG21を検出した子基板は、ステップS35によりメモリに親基板から指定された開始アドレスと、ステップS40で準備した次転送アドレスの加算結果を出力し、ステップS36に移行する。ステップS36では、メモリリードを実行し、ステップS37によりA15:0/D15:0(25)にデータ4を出力する。

【0041】

親基板は、ステップS18によりTRG21を立ち上げると同時に、ステップS19を実行し、A15:0/D15:0(25)のデータ4を取り込みリード処理を実行する。

子基板は、TRG21の立上がりにより、ステップS39を実行し、A15:0/D15:0(25)への出力停止し、ステップS40により次転送用アドレスの準備を実行する。

【0042】

親基板は、転送終了を指示するため、ステップS22を実行しFRAME22とRDL24をHにアサインする。

子基板は、ステップS33でFRAME22=Hを検出し、リード処理を完了する。

【0043】

次にライト処理について図6、図7、図8を用いて説明する。

図6は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

図7は、親基板のライト処理の一連の流れを示したフローチャートである。

図8は、子基板のライト処理の一連の流れを示したフローチャートである。

【0044】

T11期間で親基板は、ステップS41により転送中を意味するFRAME22をLにアサイン、書き込み転送を意味するWRL23をLにアサイン、マルチ

プレクスバス A15:0/D15:0 (25) に開始アドレスをアサインする。
そして、ステップ S42 にて、前述各信号を出力した親基板は TRG21 を立ち下げる。

一方、子基板は、T11 期間の TRG21 立下り時点で、ステップ S61 により MA15:0 に転送開始アドレスがアサインされたマルチプレクスバス A15:0/D15:0 (25) の内容を転送、保持しメモリのアドレスを確定する。

その後、親基板はステップ S43 により TRG21 を立ち上げる。

【0045】

T12 期間で親基板は、ステップ S44 を実行しライトデータ 1 をマルチプレクスバス A15:0/D15:0 (25) に出力する。

そして、親基板は子基板にデータの送出を知らせるため、ステップ S45 により TRG21 を立ち下げる。

この時点で子基板は、ステップ S62 により転送中であることを確認するとともに、ステップ S63 により TRG21 が立ち下がったことを検出する。

そして、ステップ S64 によりメモリに MA15:0 (28) 経由で親基板の要求アドレスを出力する。

親基板は子基板にデータの取り込みを知らせるため、ステップ S46 により TRG21 を立ち上げ、子基板に対するデータ 1 のライトを要求する。

子基板では TRG21 の立上りをステップ S65 で検出し、ステップ S66 を実行し、ライトデータ 1 を MD15:0 (29) に出力し、ステップ S67 によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップ S68 を実行しステップ S62 へ戻る。

【0046】

T13 期間で親基板はステップ S47 を実行し、ライトデータ 2 をマルチプレクスバス A15:0/D15:0 (25) に出力する。

親基板は子基板にデータの送出を知らせるため、ステップ S48 により TRG21 を立ち下げる。

この時点で子基板はステップ S62、S63 により TRG21 が立ち下がったこ

とを検出し、ステップ S 6 4 によりメモリに MA 1 5 : 0 (2 8) 経由で親基板の要求アドレスとステップ S 6 8 で準備した次アドレスとの加算値を出力する。親基板は子基板にデータの取り込みを知らせるためステップ S 4 9 により TRG 2 1 を立ち上げ、子基板に対するデータ 2 のライトを要求する。

子基板では TRG 2 1 の立上りをステップ S 6 5 で検出し、ステップ S 6 6 を実行しライトデータ 2 を MD 1 5 : 0 (2 9) に出力し、ステップ S 6 7 によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップ S 6 8 を実行してステップ S 6 2 へ戻る。

【 0 0 4 7 】

T 1 4 期間で親基板はステップ S 5 0 を実行し、ライトデータ 3 をマルチプレクスバス A 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

親基板は子基板にデータの送出を知らせるため、ステップ S 5 1 により TRG 2 1 を立ち下げる。

この時点で子基板はステップ S 6 2、S 6 3 により TRG 2 1 が立ち下がったことを検出し、ステップ S 6 4 によりメモリに MA 1 5 : 0 (2 8) 経由で親基板の要求アドレスとステップ S 6 8 で準備した次アドレスとの加算値を出力する。親基板は子基板にデータの取り込みを知らせるためステップ S 5 2 により TRG 2 1 を立ち上げ、子基板に対するデータ 3 のライトを要求する。

子基板では TRG 2 1 の立上りをステップ S 6 5 で検出し、ステップ S 6 6 を実行しライトデータ 3 を MD 1 5 : 0 (2 9) に出力し、ステップ S 6 7 によりメモリにライトを実行する。

その後、次アドレスの準備をするため、ステップ S 6 8 を実行してステップ S 6 2 へ戻る。

【 0 0 4 8 】

T 1 5 期間で親基板はステップ S 5 3 を実行し、ライトデータ 4 をマルチプレクスバス A 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

親基板は子基板にデータの送出を知らせるため、ステップ S 5 4 により TRG 2 1 を立ち下げる。

この時点で子基板はステップ S 6 2、S 6 3 により T R G 2 1 が立ち下がったことを検出し、ステップ S 6 4 によりメモリに M A 1 5 : 0 (2 8) 経由で親基板の要求アドレスとステップ S 6 8 で準備した次アドレスとの加算値を出力する。親基板は子基板にデータの取り込みを知らせるため、ステップ S 5 4 により T R G 2 1 を立ち上げ、子基板に対するデータ 4 のライトを要求する。

子基板では T R G 2 1 の立上りをステップ S 6 5 で検出し、ステップ S 6 6 を実行しライトデータ 4 を M D 1 5 : 0 (2 9) に出力し、ステップ S 6 7 によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップ S 6 8 を実行してステップ S 6 2 へ戻る。

【 0 0 4 9 】

親基板は T R G 2 1 立ち上げ後、ステップ S 5 6 によりデータ出力を停止し、ステップ S 5 7 により F R A M E 2 2 と W R L 2 3 を H にし、ライト転送の完了をする。

子基板ではステップ S 6 2 でライト転送の完了を検出しライト処理を完了する。

【 0 0 5 0 】

この実施の形態 1 では、T R G 2 1 の立下がりエッジを使用して子基板のセパレータ 2 6 で M A 1 5 : 0 (2 8) を生成する。

そのため、下位アドレスの削減を実現しかつ少ない信号線で大量の連続転送が実現できる効果を奏する。

また、従来、あれレス信号の送出に使用していたバスの部分を削減でき、回路実装が簡略ができ、製造コスト、バス基板の小型軽量化が図る事ができる。

つまり、本実施の形態によればデータ転送において信号線を減らしながらも安定した転送を実現できる。

【 0 0 5 1 】

実施の形態 2.

実施形態 2 のシステム構成は、図 1 従来システム構成と同一である。

図 9 は、実施の形態 2 の子基板の内部構成を示す図である。

図において、21はデータ転送バス3のライトタイミング／リードタイミングを示すトリガ信号（TRG）、22はデータ転送バス3の転送中を示すFRAME、23データ転送バス3がライト動作を示すWRL、24はデータ転送バス3がリード動作を示すRDL、25はアドレス信号とデータ信号を時分割で共有するマルチプレクスバスA15:0/D15:0、26は本実施形態1を実現するセパレータ、27はデータ転送内容を記憶するメモリ、28はセパレータとメモリ間を接続するアドレスバスMA15:0、29はセパレータとメモリ間を接続するデータバスMD15:0、30はセパレータとメモリ間を接続するメモリ書き込み信号MWRL、31はセパレータとメモリ間を接続するメモリリード信号MRDL、32はトリガ毎にトグルするサイクル信号としてのPHASE信号である。

である。

【0052】

セパレータ26Aは、自基板の転送有無を検出するため、FRAME22=LかつA15:0=自アドレスが成立するまで待機し、本条件が成立すると、データ転送が読み出しか書き込みかを判断するため、WRL=L（書き込み）、RDL=L（読み出し）のどちらかを検出する。

RDL=Lの時はリード処理を実施し、WRL=Lの時はライト処理を実行する。

そして、リード処理またはライト処理を完了したら、転送完了処理を実行し一連の転送処理を完了する。

【0053】

次に、リード処理に関して図10、図11、図12により説明する。

図10は、本実施の形態でのリード処理における各信号の時系列な動作を示すタイミングチャートである。

図11は、本実施の形態での親基板のリード処理の流れを示したフローチャートである。

図12は、本実施の形態での子基板のセパレータのリード処理の一連の流れを示したフローチャートである。

【0054】

親基板は、T21期間にてステップS71により、転送中を意味するFRAME22をLにアサイン、読み出し転送を意味するRD L24をLにアサイン、マルチプレクスバスA15:0/D15:0(25)に転送開始アドレスをアサインする。

さらに一回目のTRG21を示すPHASE32をLにアサインする。

一方子基板はT21期間のTRG21立下り時点で、ステップS81によりMA15:0(28)にA15:0/D15:0(25)の内容を転送し、メモリのアドレスを確定する。

【0055】

T22期間では、親基板ではステップS72を実行してアドレスの出力を停止すると共に2回目のTRG21発生を示すためLからHへトグルする。

子基板では、ステップS82を実行し、AD15:0/D15:0の転送方向を切替える。

【0056】

T23期間では、親基板がPHASE32をトグルしTRG21を立ち下げる。子基板は、ステップS83を実行し、転送中であることを確認すると共に、ステップS84でPHASE32がトグルしたことを確認すると共にTRG21の立下がりを検出する。

本処理によりPHASE32がトグルしてTRG21が立ち下がるまで次の処理へは移行しない。

TRG21を検出した子基板は、ステップS85によりメモリに親基板から指定された開始アドレスを出力し、ステップS86でMRDL31を操作しメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ1を出力する。

親基板は、TRG21を立ち上げると同時に、ステップS74のA15:0/D15:0(25)のデータ1を取り込みリード処理を実行する。

子基板はPHASE32が自身の立下がり時から変わっていないこととTRG21の立上がりにより、ステップS89を実行しA15:0/D15:0(25

）への出力停止し、ステップS90により次転送用アドレスの準備を実行する。
ここでTRG21にノイズが重畳されTRG21が立ち下がってもPHASE32がトグルしていないので、子基板はステップS84を通過できず、次のデータを誤出力することはない。逆にPHASE32にノイズが重畳してもTRG21が立ち下がらなければ子基板は、ステップS84を処理しないのでノイズに対して次の動作を実行しない。

【0057】

T24期間で親基板は、PHASE32をトグルしTRG21を立ち下げる。
子基板はステップS83を実行し、転送中であることを確認すると共に、ステップS84でPHASE32がトグルしたことを確認すると共にTRG21の立下がりを検出する。

TRG21を検出した子基板は、ステップS85によりメモリに親基板から指定された開始アドレスと、ステップS90で準備した次転送アドレスの加算結果を出力し、ステップS86でメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ2を出力する。

親基板はTRG21を立ち上げると同時にステップS75を実行し、A15:0/D15:0(25)のデータ2を取り込みリード処理を実行する。

子基板はPHASE32が自身の立下がり時から変わっていないこととTRG21の立上がりによりステップS89を実行しA15:0/D15:0(25)への出力停止し、ステップS90により次転送用アドレスの準備を実行する。

【0058】

T25期間で親基板は、PHASE32をトグルしTRG21を立ち下げる。
子基板はステップS83を実行し、転送中であることを確認すると共に、ステップS84でPHASE32がトグルしたことを確認すると共にTRG21の立下がりを検出する。

TRG21を検出した子基板は、ステップS85によりメモリに親基板から指定された開始アドレスと、ステップS90で準備した次転送アドレスの加算結果を出力し、ステップS86でメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ3を出力する。

親基板はTRG 2 1 を立ち上げると同時にステップS 7 6 を実行し、A 1 5 : 0 / D 1 5 : 0 (2 5) のデータ 3 を取り込みリード処理を実行する。

子基板はPHASE 3 2 が自身の立下がり時から変わっていないこととTRG 2 1 の立上がりによりステップS 8 9 を実行しA 1 5 : 0 / D 1 5 : 0 (2 5) への出力停止し、ステップS 9 0 により次転送用アドレスの準備を実行する。

【 0 0 5 9 】

T 2 5 期間で親基板は、PHASE 3 2 をトグルしTRG 2 1 を立ち下げる。子基板はステップS 8 3 を実行し、転送中であることを確認すると共に、ステップS 8 4 でPHASE 3 2 がトグルしたことを確認すると共にTRG 2 1 の立下がりを検出する。

TRG 2 1 を検出した子基板は、ステップS 8 4 によりメモリに親基板から指定された開始アドレスと、ステップS 9 0 で準備した次転送アドレスの加算結果を出力し、ステップS 8 6 でメモリリードを実行し、ステップS 8 7 によりA 1 5 : 0 / D 1 5 : 0 (2 5) にデータ 4 を出力する。

親基板はTRG 2 1 を立ち上げると同時にステップS 7 7 を実行しA 1 5 : 0 / D 1 5 : 0 (2 5) のデータ 4 を取り込みリード処理を実行する。

子基板はPHASE 3 2 が自身の立下がり時から変わっていないこととTRG 2 1 の立上がりによりステップS 8 9 を実行しA 1 5 : 0 / D 1 5 : 0 (2 5) への出力停止し、ステップS 9 0 により次転送用アドレスの準備を実行する。

【 0 0 6 0 】

親基板は転送終了を指示するためステップS 7 8 を実行し、FRAME 2 2 とRDL 2 4 とPHASE 3 2 をHにアサインする。

子基板はステップS 8 3 でFRAME 2 2 = Hを検出し、リード処理を完了する。

【 0 0 6 1 】

次にライト処理について図 1 3、図 1 4、図 1 5 を用いて説明する。

図 1 3 は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

図 1 4 は、親基板のライト処理の一連の流れを示したフローチャートである。

図 15 は、子基板のライト処理の流れを示したフローチャートである。

【0062】

T31 期間で親基板は、ステップ S91 により転送中を意味する FRAME 22 を L にアサイン、書き込み転送を意味する WRL 23 を L にアサイン、マルチプレクスバス A15:0/D15:0 (25) に開始アドレスをアサインする。さらに一回目の TRG 21 を示す PHASE 32 を L にアサインする。

一方、子基板はライト転送を検出し、ステップ S101 により MA15:0 に転送開始アドレスがアサインされたマルチプレクスバス A15:0/D15:0 (25) の内容を転送、保持しメモリのアドレスを確定する。

【0063】

T32 期間で親基板は、ステップ S92 を実行し、PHASE 32 をトグルするとともにライトデータ 1 を A15:0/D15:0 (25) に出力する。そして、親基板は子基板にデータの送出を知らせるため、引き続き TRG 21 を立ち下げる。

この時点で子基板は、ステップ S102 により転送中であることを確認するとともに、ステップ S103 により PHASE 32 がトグルし、TRG 21 が立ち下がったことを検出し、ステップ S104 によりメモリに MA15:0 (28) 経由で親基板の要求アドレスを出力する。

【0064】

親基板は次に TRG 21 を立ち上げ、子基板に対するデータ 1 のライトを要求する。

子基板では PHASE 32 が TRG 21 の立下がり時から変化していなくかつ TRG 21 の立上りをステップ S105 で検出し、ステップ S106 を実行しライトデータ 1 を MD15:0 に出力し、ステップ S107 により MWRL 30 を操作しメモリにライトを実行する。

その後、次アドレスの準備をするためステップ S108 を実行し、ステップ S102 へ戻る。

【0065】

ここで TRG 21 にノイズが重畳され TRG 21 が立ち下がっても PHASE

32 がトグルしていないので子基板は、ステップ S103 を通過できず次のアドレスに誤ってデータを書き込むことは無い。逆に PHASE 32 にノイズが重畳しても TRG 21 が立ち下がらなければ子基板は、ステップ S103 を処理しないので、子基板はステップ S104 以降の動作を実行しない。

【0066】

T33 期間で親基板は、ステップ S93 を実行し、PHASE 32 をトグルするとともにライトデータ 2 を A15:0/D15:0 (25) に出力する。

そして、親基板は子基板にデータの送出を知らせるため、親基板は引き続き TRG 21 を立ち下げる。

この時点で子基板は、ステップ S102 により転送中であることを確認するとともに、ステップ S103 により PHASE 32 がトグルし TRG 21 が立ち下がったことを検出し、ステップ S104 によりメモリに MA15:0 (28) 経由で親基板の要求アドレスとステップ S108 で準備した次アドレスとの加算値を出力する。

【0067】

親基板は次に TRG 21 を立ち上げ、子基板に対するデータ 2 のライトを要求する。

子基板では PHASE 32 が TRG 21 の立下がり時から変化していなくかつ TRG 21 の立上りをステップ S105 で検出し、ステップ S106 を実行しライトデータ 2 を MD15:0 に出力し、ステップ S107 によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップ S108 を実行し、ステップ S102 へ戻る。

【0068】

T34 期間で親基板は、ステップ S94 を実行し、PHASE 32 をトグルするとともにライトデータ 3 を A15:0/D15:0 (25) に出力する。

そして、親基板は子基板にデータの送出を知らせるため、引き続き TRG 21 を立ち下げる。

この時点で子基板は、ステップ S102 により転送中であることを確認するとと

もに、ステップ S103 により PHASE 32 がトグルし TRG 21 が立ち下がったことを検出し、ステップ S104 によりメモリに MA15:0 (28) 経由で親基板の要求アドレスと、ステップ S108 で準備した次アドレスとの加算値を出力する。

【0069】

親基板は次に TRG 21 を立ち上げ子基板に対するデータ 3 のライトを要求する。

子基板では PHASE 32 が TRG 21 の立下がり時から変化していなくかつ TRG 21 の立上りをステップ S105 で検出し、ステップ S106 を実行し、ライトデータ 3 を MD15:0 に出力し、ステップ S107 によりメモリにライトを実行する。

その後次アドレスの準備をするためステップ S108 を実行し、ステップ S102 へ戻る。

【0070】

T35 期間で親基板は、ステップ S95 を実行し、PHASE 32 をトグルするとともにライトデータ 2 を A15:0/D15:0 (25) に出力する。

そして、親基板は子基板にデータの送出を知らせるため、親基板は引き続き TRG 21 を立ち下げる。

この時点で子基板は、ステップ S102 により転送中であることを確認するとともに、ステップ S103 により PHASE 32 がトグルし TRG 21 が立ち下がったことを検出し、ステップ S104 によりメモリに MA15:0 (28) 経由で親基板の要求アドレスとステップ S108 で準備した次アドレスとの加算値を出力する。

【0071】

親基板は次に TRG 21 を立ち上げ、子基板に対するデータ 2 のライトを要求する。

子基板では PHASE 32 が TRG 21 の立下がり時から変化していなくかつ TRG 21 の立上りをステップ S105 で検出し、ステップ S106 を実行しライトデータ 2 を MD15:0 に出力し、ステップ S107 によりメモリにライ

トを実行する。

その後、次アドレスの準備をするためステップ S 1 0 8 を実行し、ステップ S 1 0 2 へ戻る。

【0 0 7 2】

親基板は T R G 2 1 立ち上げ後、ステップ S 9 7 により P H A S E 3 2 とデータ出力を停止し、ステップ S 9 8 により F R A M E 2 2 と W R L 2 3、P H A S E 3 2 を H にし、ライト転送の完了をする。

子基板ではステップ S 1 0 2 でライト転送の完了を検出し、ライト処理を完了する。

【0 0 7 3】

この実施の形態 2 は、T R G 2 1 の立下がり、立上がり検出時に P H A S E 3 2 のトグル状態と組み合わせて検出するので、上述した実施の形態 1 の効果に加え、T R G 2 1 にクロストークや反射など外乱が発生しても子基板のセパレータ 2 6 A での M A 1 5 : 0 生成に対する誤動作を防ぐことができ少ない信号線で大量の連続したデータ転送を外乱に対して安定に実行することができる。

【0 0 7 4】

【発明の効果】

本発明によれば、子基板側でトリガ信号を検出しメモリへのアドレスを自動的に生成することで親基板からの連続転送用のアドレス信号を削減し大量の連続転送を実現する効果を奏する。

【0 0 7 5】

また、子基板でアドレスを生成する際に T R G 信号とサイクル信号を組み合わせるため、クロストーク、ノイズなどの外乱により波形が崩れても安定した連続転送を実現する効果を奏する

【図面の簡単な説明】

【図 1】 実施の形態 1 のデータ転送に関するシステム構成を示すシステム構成図である。

【図 2】 子基板の内部構成を示す図である。

【図 3】 リード処理における各信号の時系列な動作を示すタイミングチャ

ートである。

【図 4】 親基板のリード処理の一連の流れを示したフローチャートである。

【図 5】 子基板のリード処理の流れを示したフローチャートである。

【図 6】 ライト処理における各信号の時系列な動作を示すタイミングチャートである。

【図 7】 親基板のライト処理の流れを示したフローチャートである。

【図 8】 子基板のライト処理の流れを示したフローチャートである。

【図 9】 実施の形態 2 の子基板の内部構成を示す図である。

【図 1 0】 リード処理における各信号の時系列な動作を示すタイミングチャートである。

【図 1 1】 親基板のリード処理の一連の流れを示したフローチャートである。

【図 1 2】 子基板のリード処理の流れを示したフローチャートである。

【図 1 3】 ライト処理における各信号の時系列な動作を示すタイミングチャートである。

【図 1 4】 親基板のライト処理の一連の流れを示したフローチャートである。

【図 1 5】 子基板のライト処理の流れを示したフローチャートである。

【図 1 6】 従来のデータ転送に関するシステム構成を示すシステム構成図である。

【図 1 7】 従来の子基板の内部構成を示す図である。

【図 1 8】 セパレータの内部処理を示すフローチャートである。

【図 1 9】 従来のリード処理における各信号の時系列な動作を示すタイミングチャートである。

【図 2 0】 従来の親基板のリード処理の一連の流れを示したフローチャートである。

【図 2 1】 従来の子基板のリード処理の一連の流れを示したフローチャートである。

【図 2 2】 従来のライト処理における各信号の時系列な動作を示すタイミングチャートである。

【図 2 3】 従来の親基板のライト処理の一連の流れを示したフローチャートである。

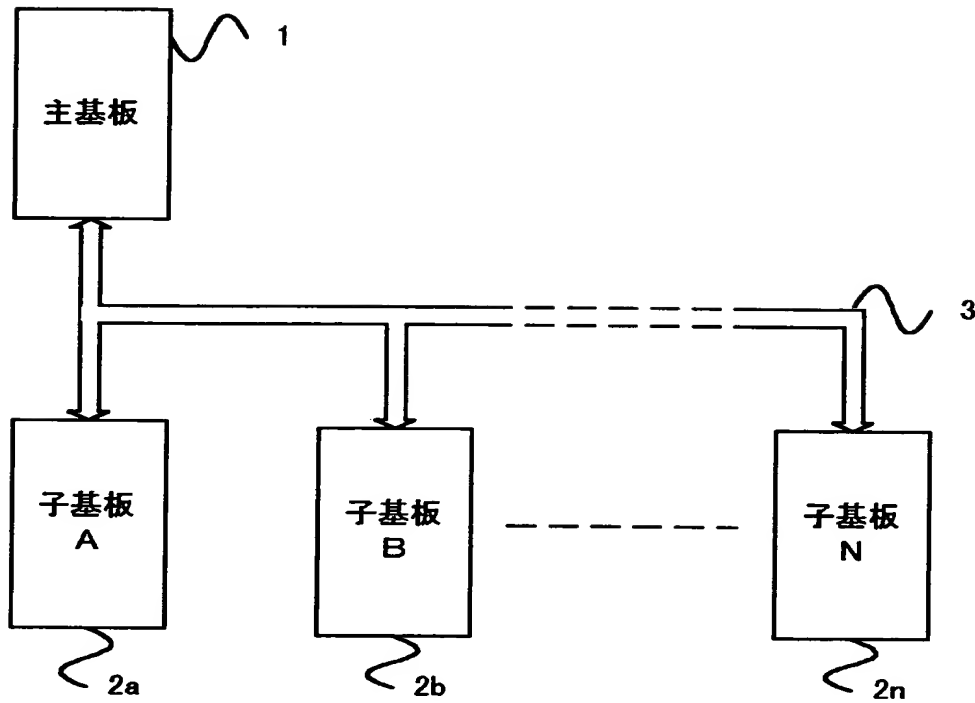
【図 2 4】 従来の子基板のライト処理の一連の流れを示したフローチャートである。

【符号の説明】

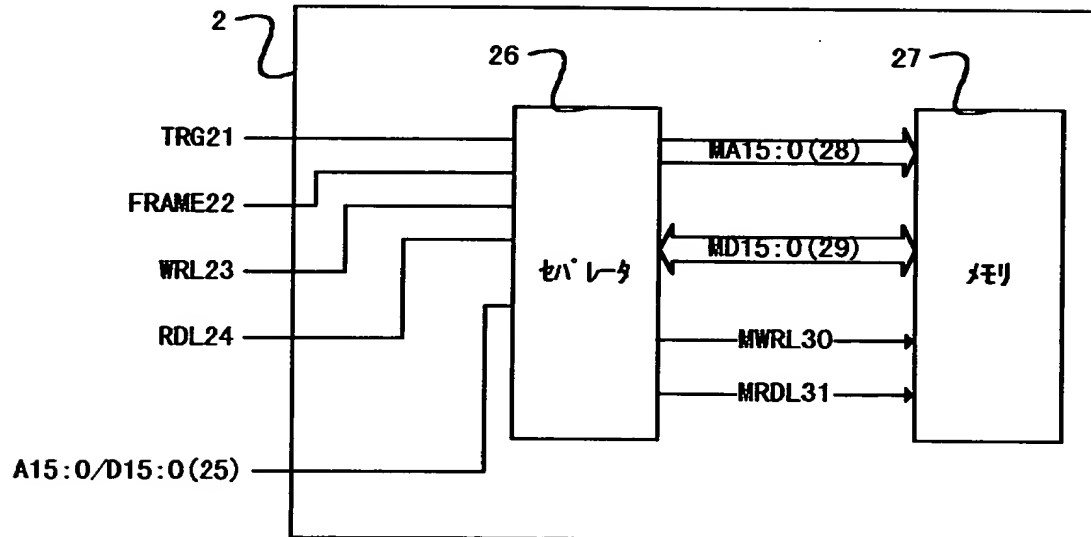
1 親基板、2 子基板、3 データ転送バス、21 トリガ信号、22 FRAME 信号、23 WRL 信号、24 RDL 信号、25 マルチプレクスバス A15:0/D15:0、26 セパレータ、27 メモリ、28 アドレスバス MA15:0、29 データバス MD15:0、30 メモリ書込み信号 MWRL、31 メモリリード信号 MRDL、32 PHASE 信号。

【書類名】 図面

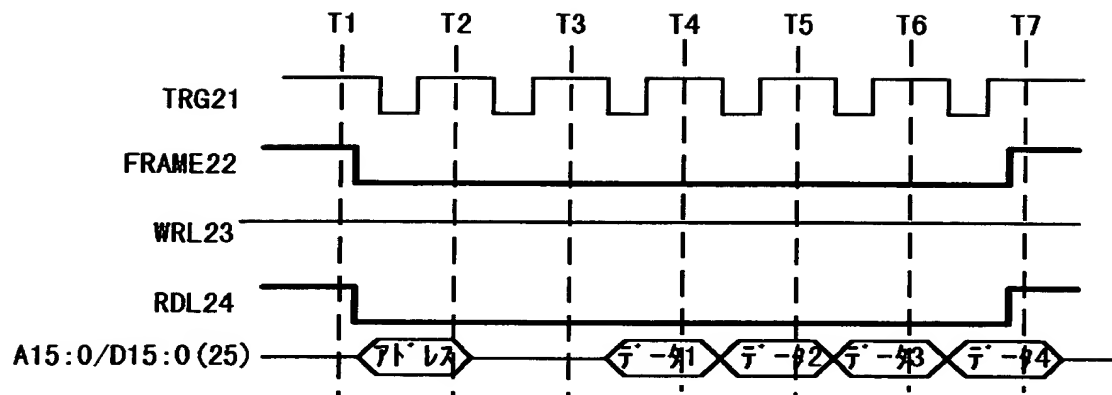
【図 1】



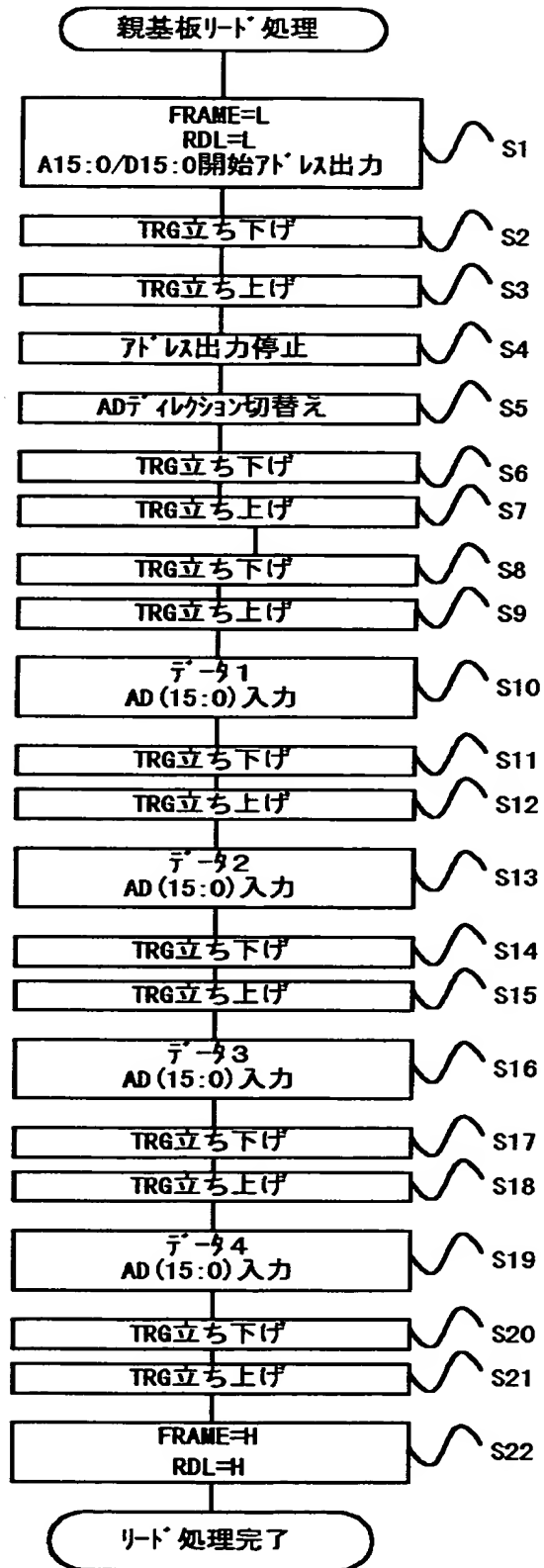
【図 2】



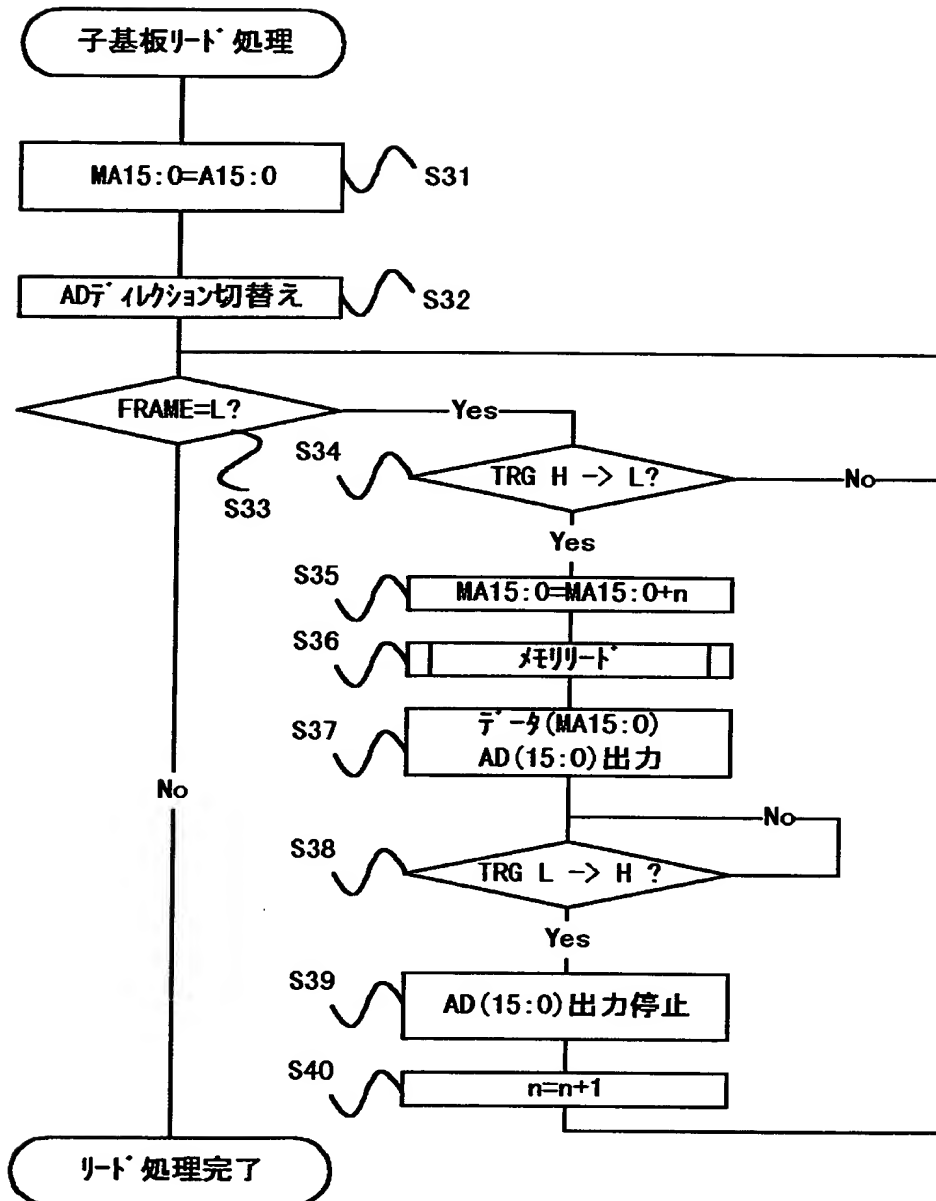
【図 3】



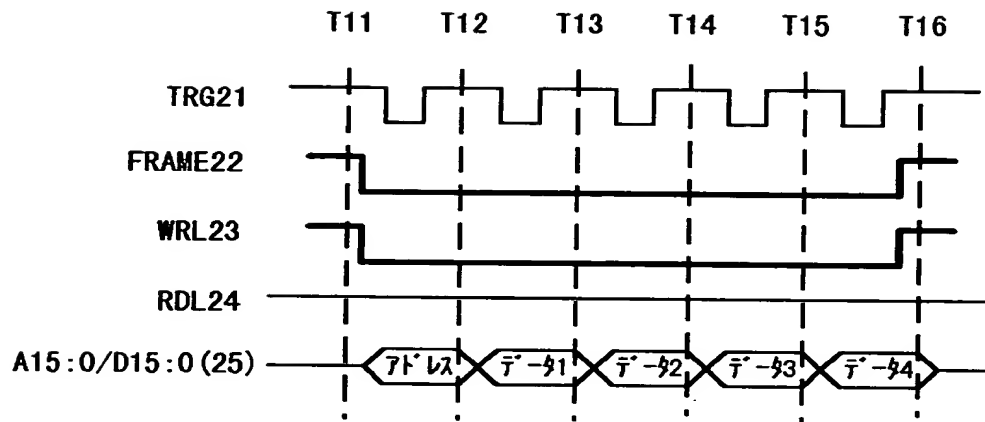
【図 4】



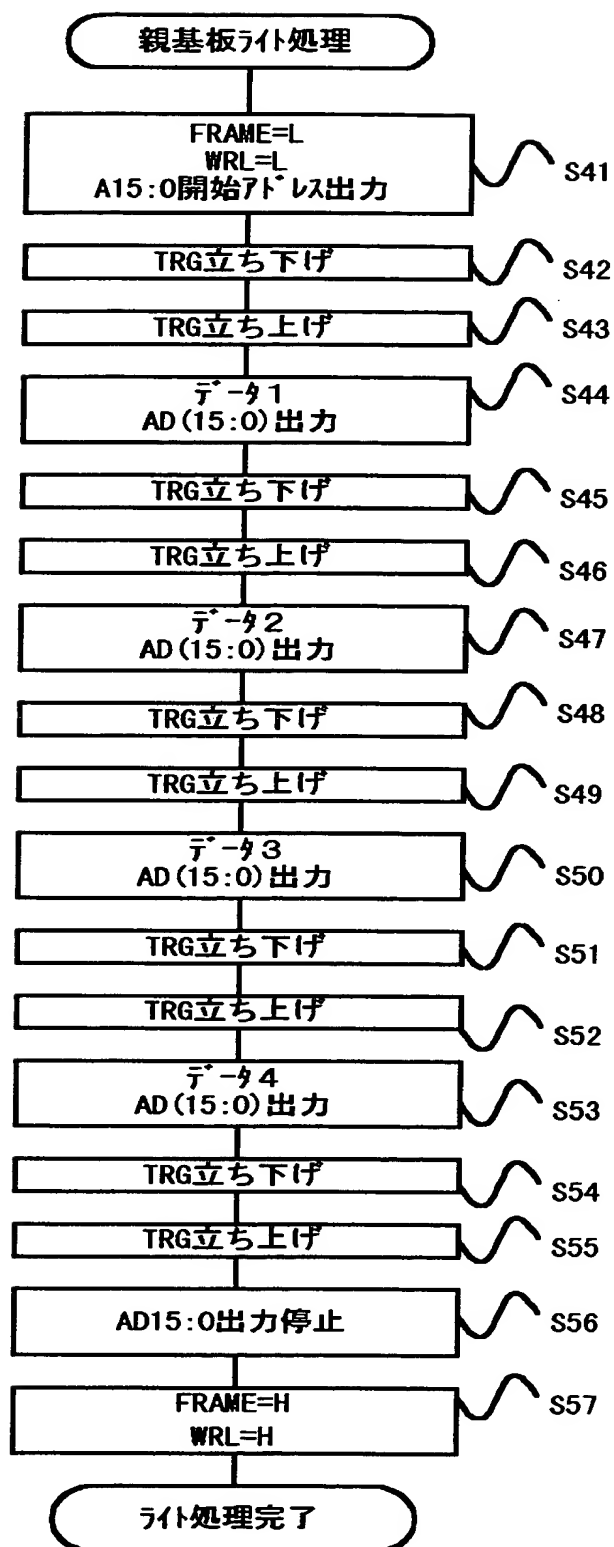
【図 5】



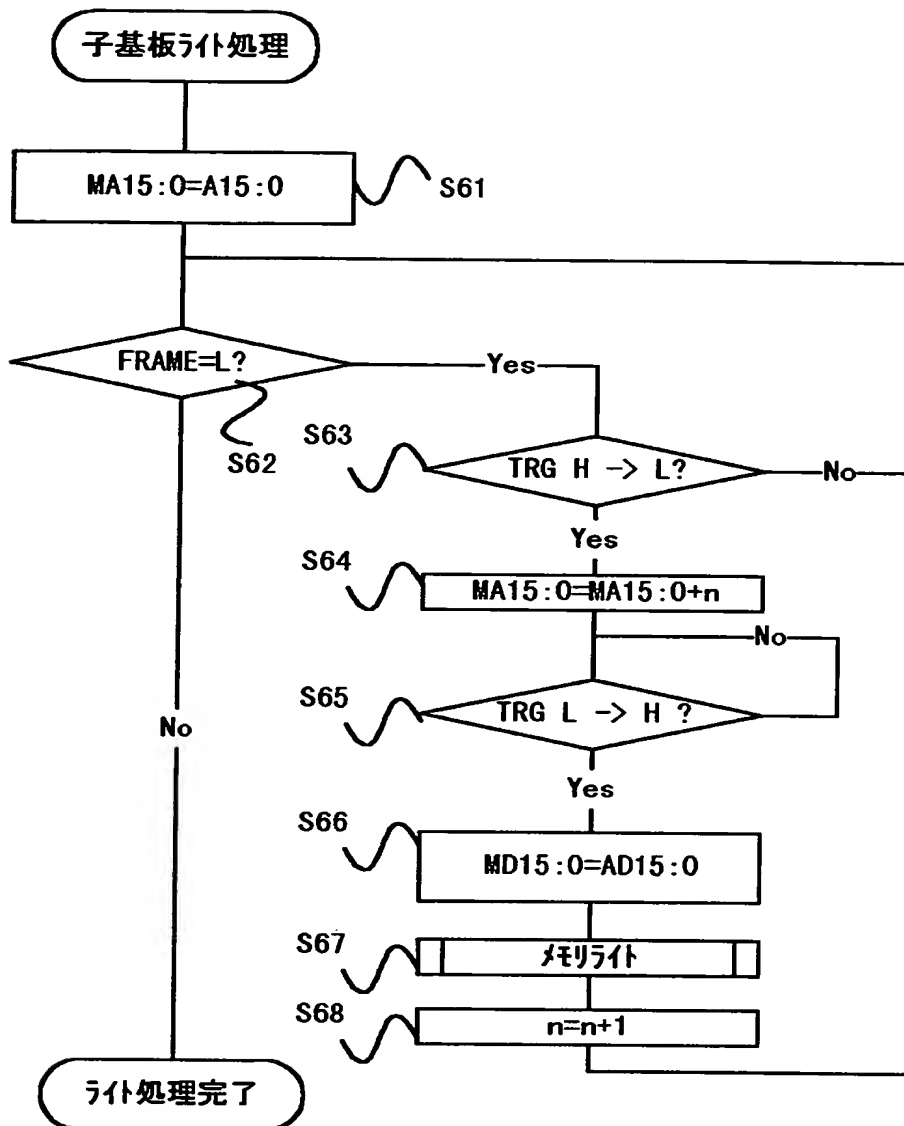
【図 6】



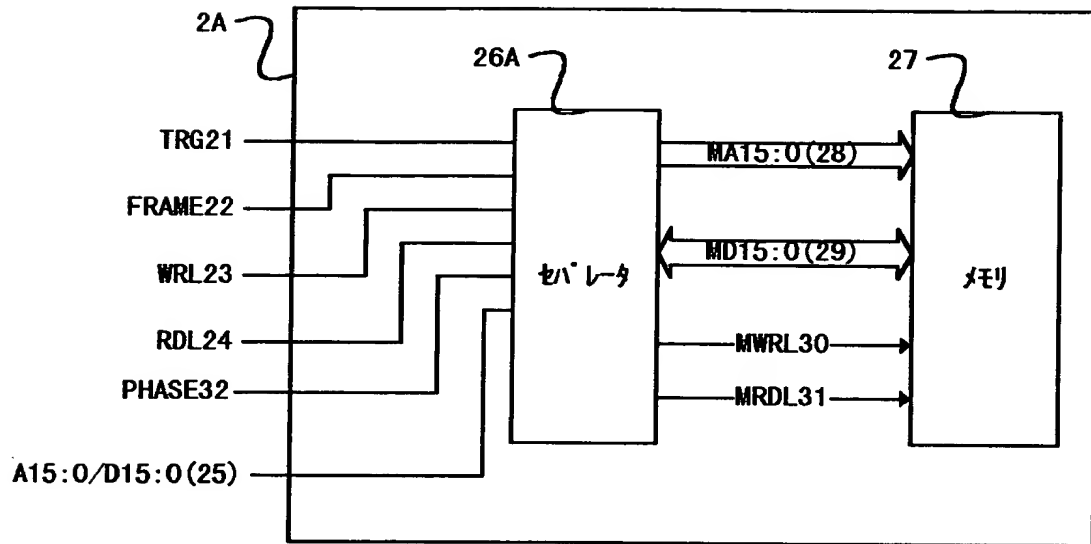
【図7】



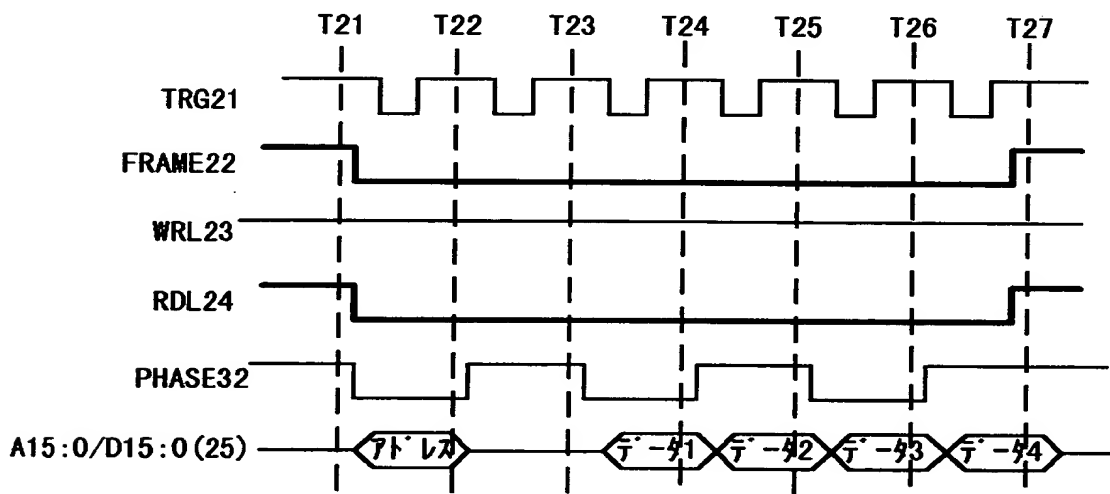
【図 8】



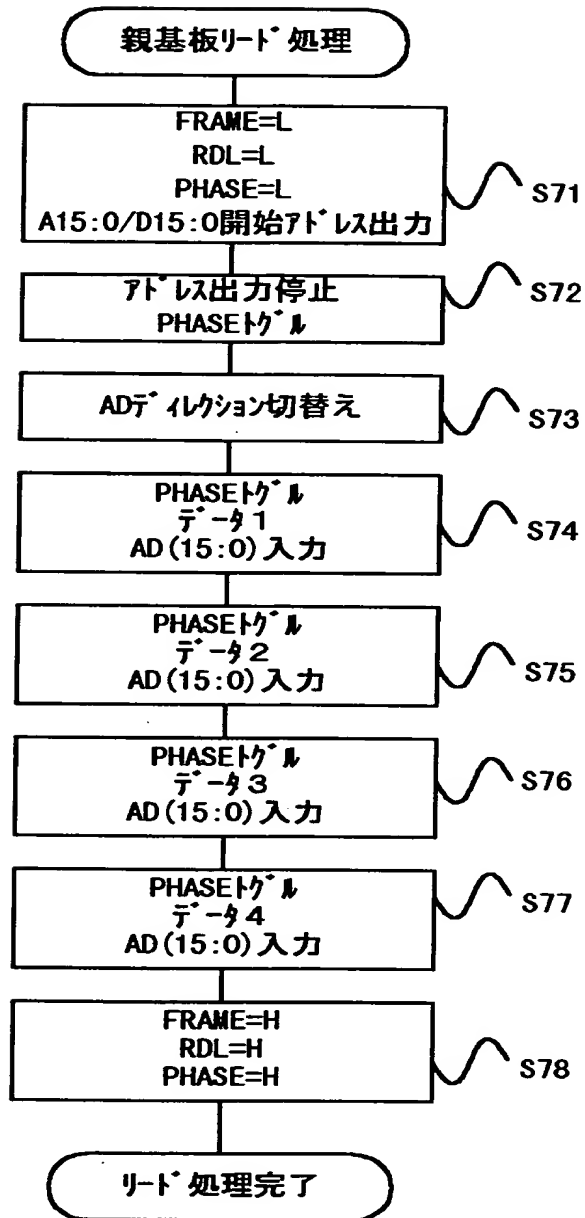
【図 9】



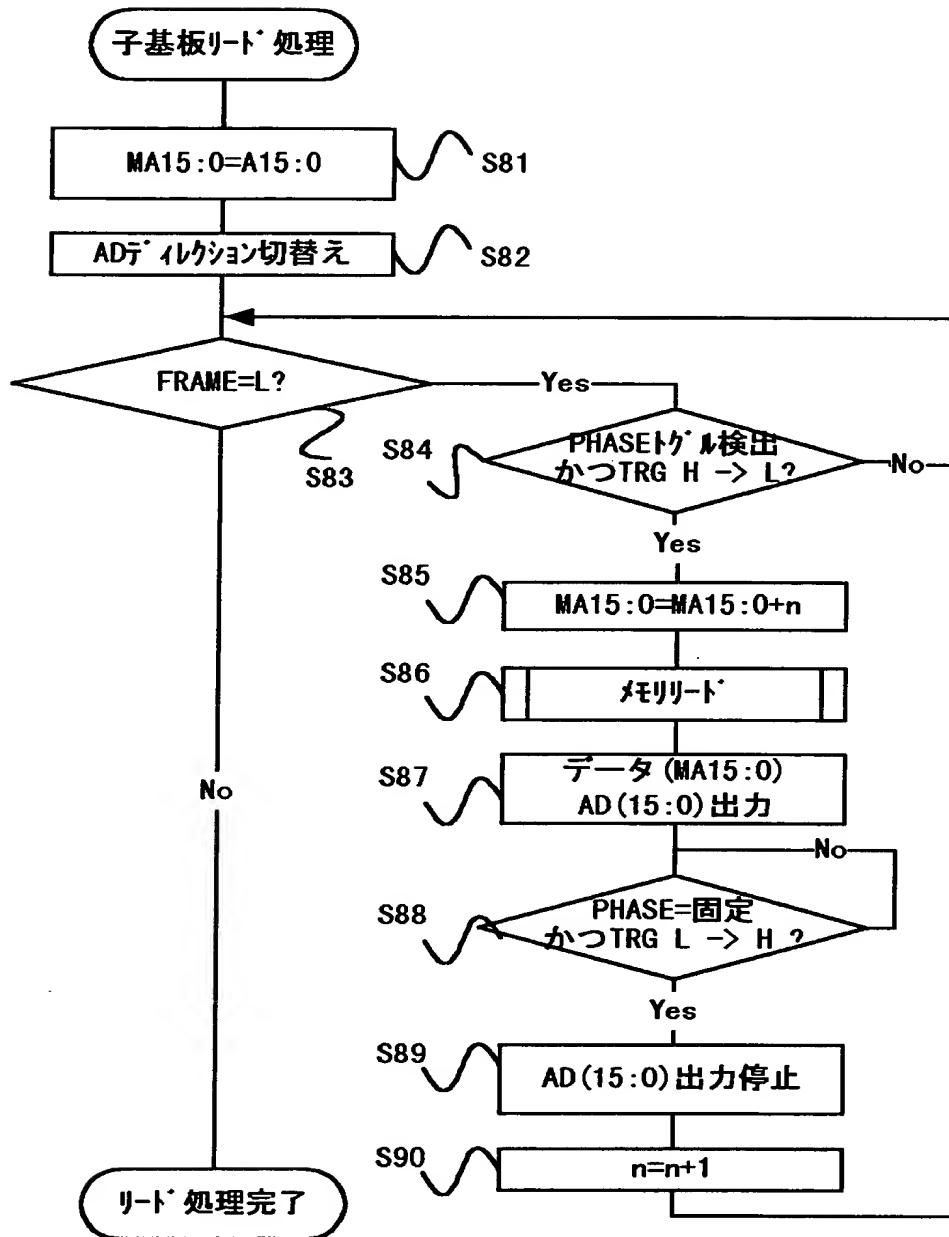
【図 10】



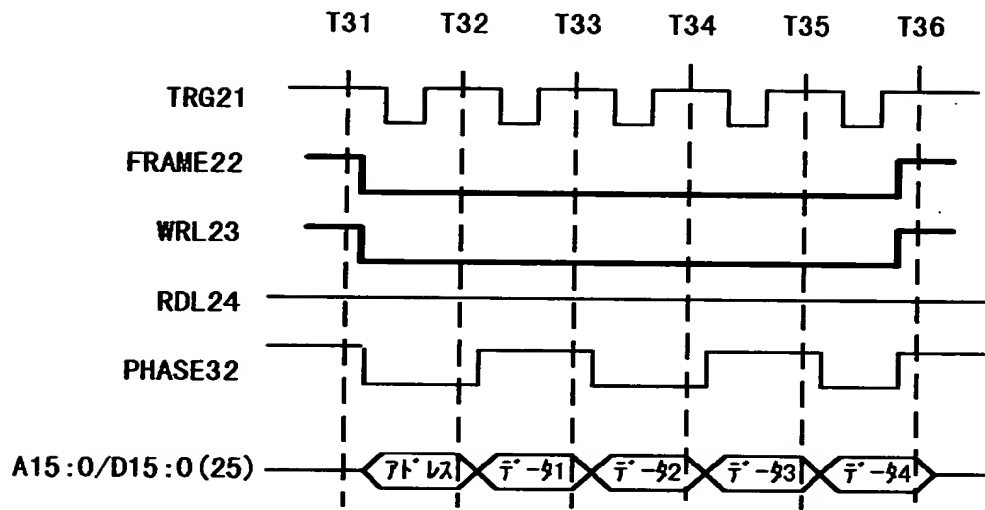
【図 11】



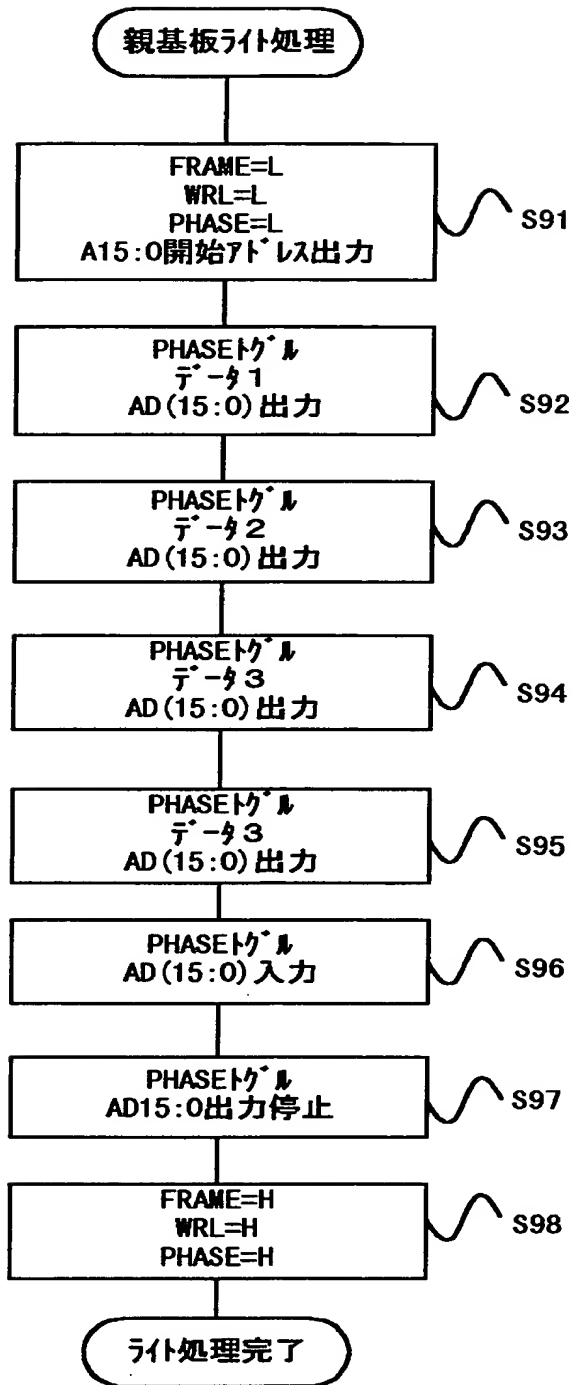
【図 1 2】



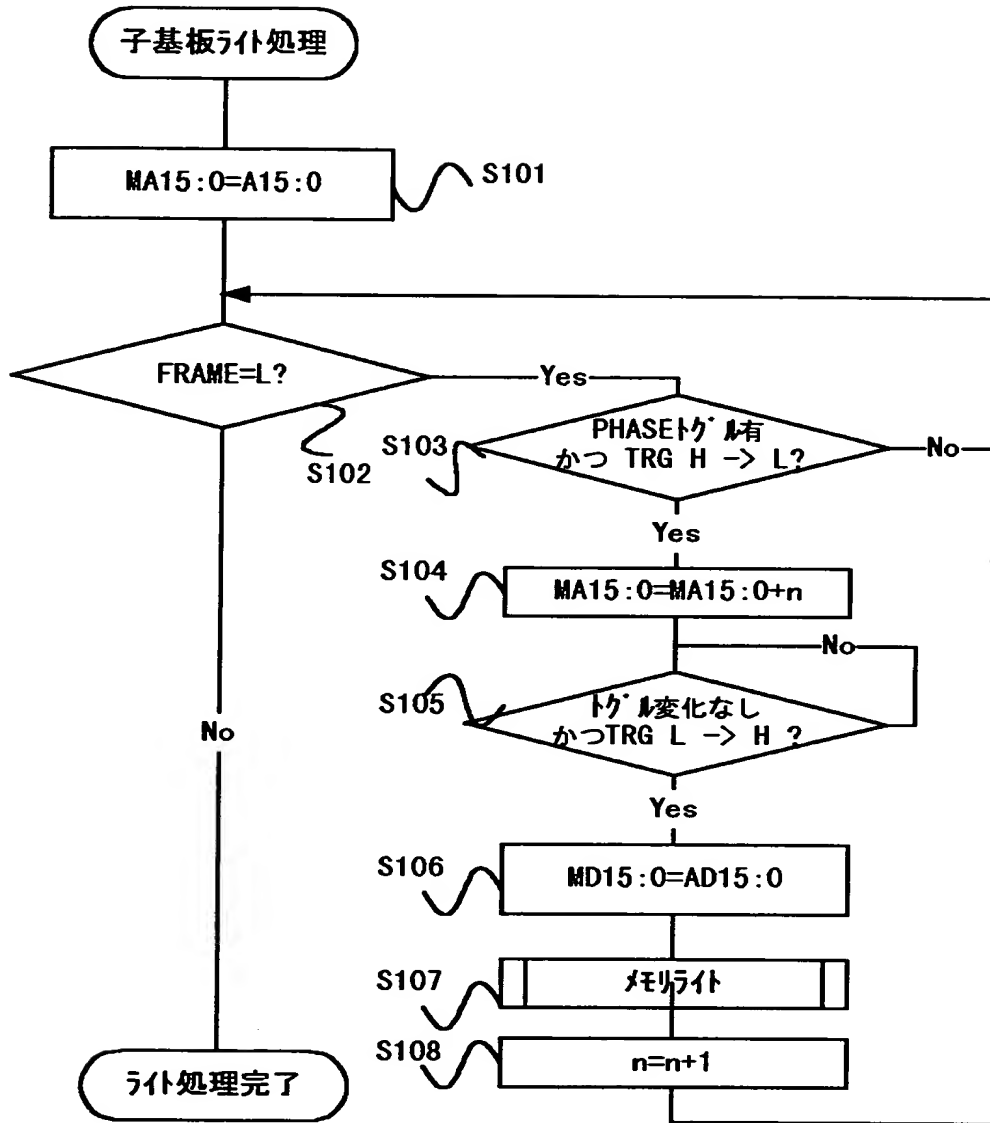
【図 1 3】



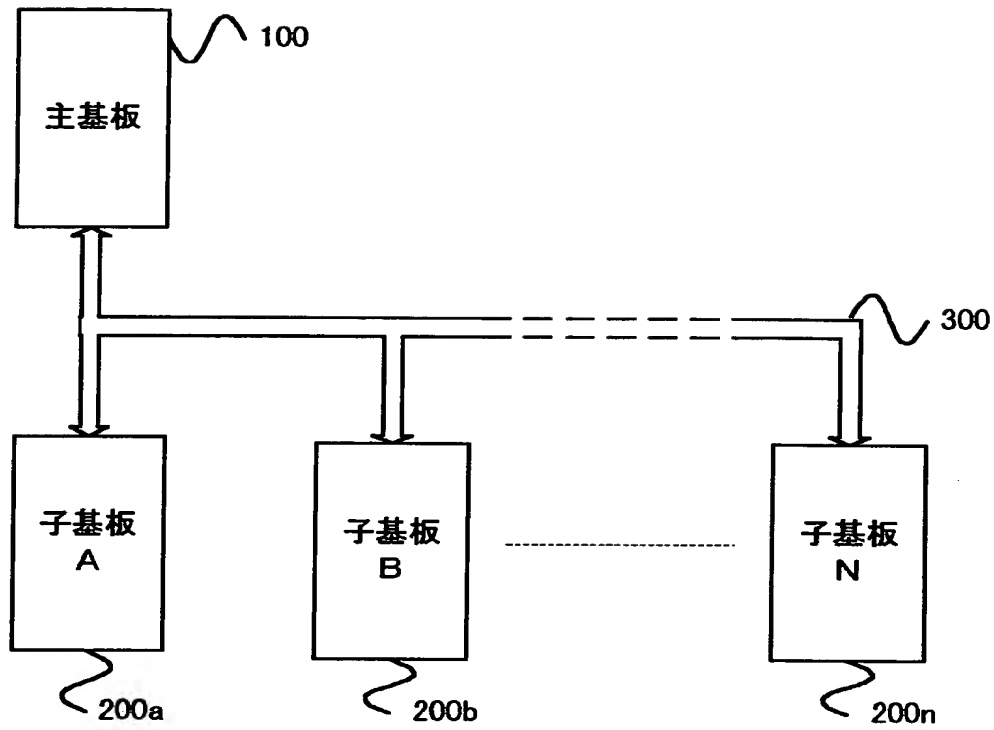
【図 14】



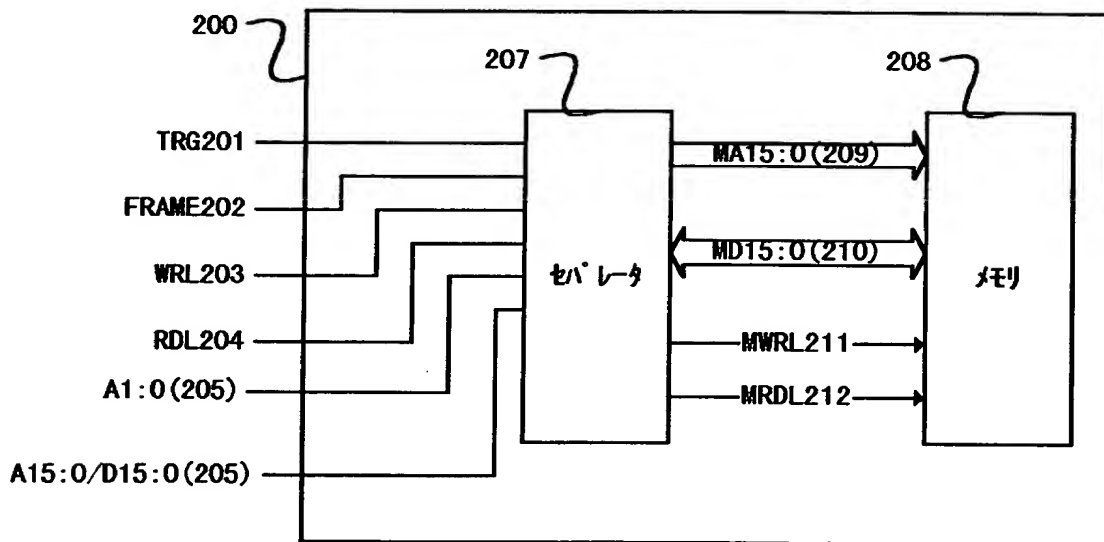
【図 1 5】



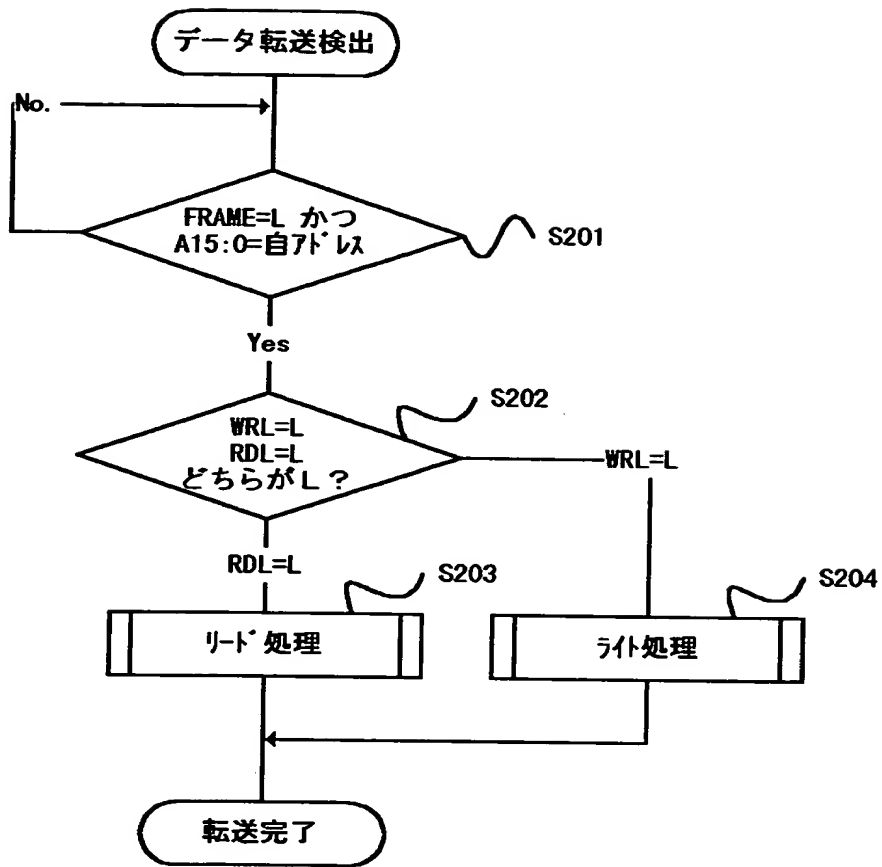
【図 16】



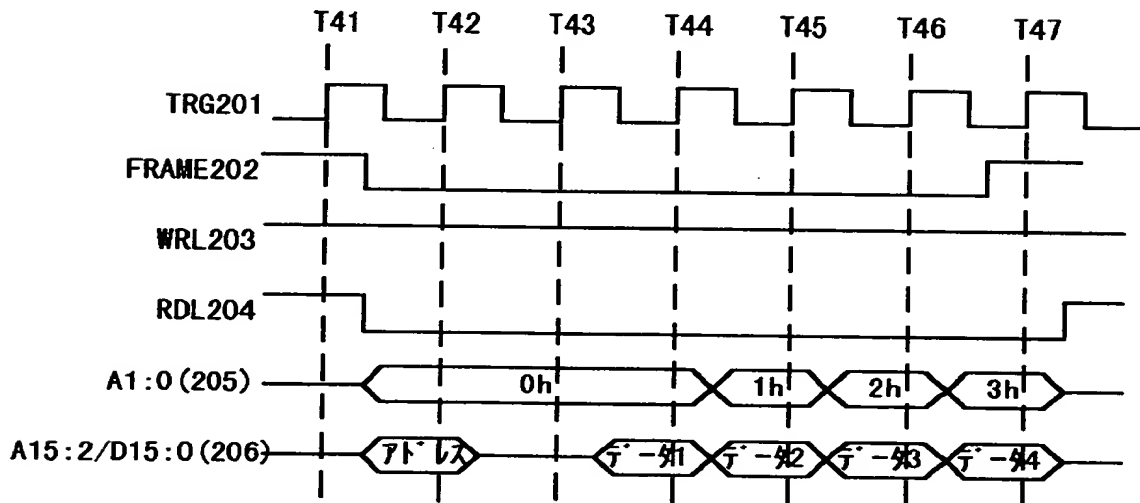
【図 17】



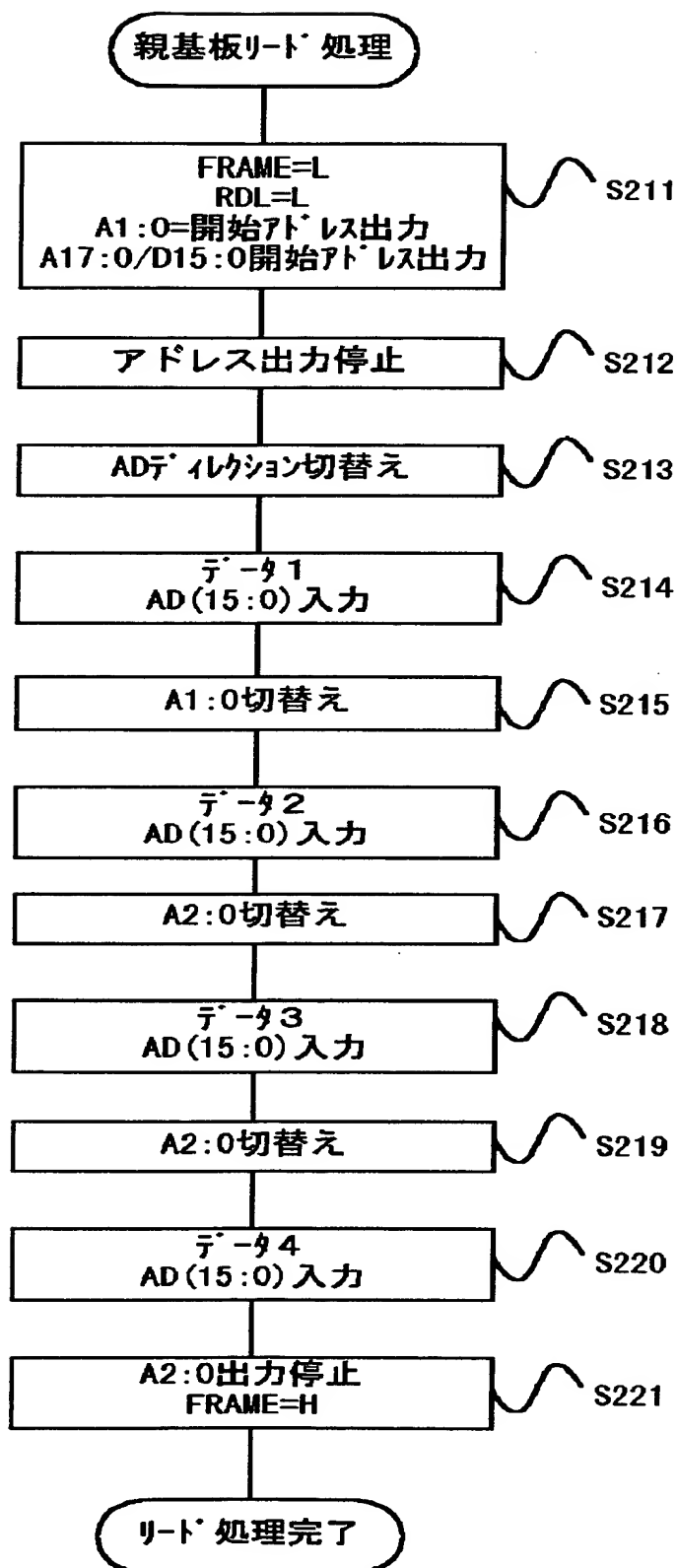
【図 1 8】



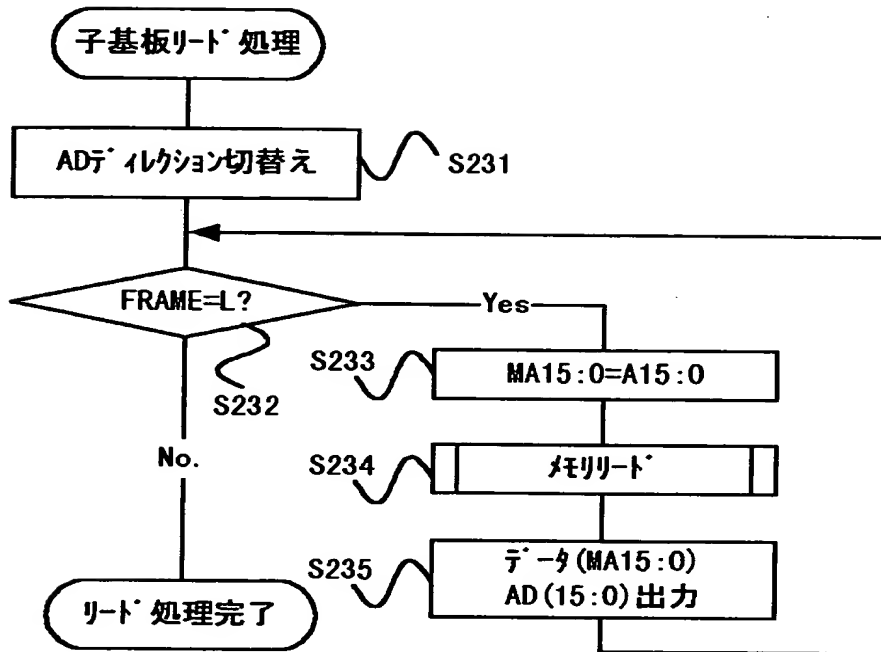
【図 1 9】



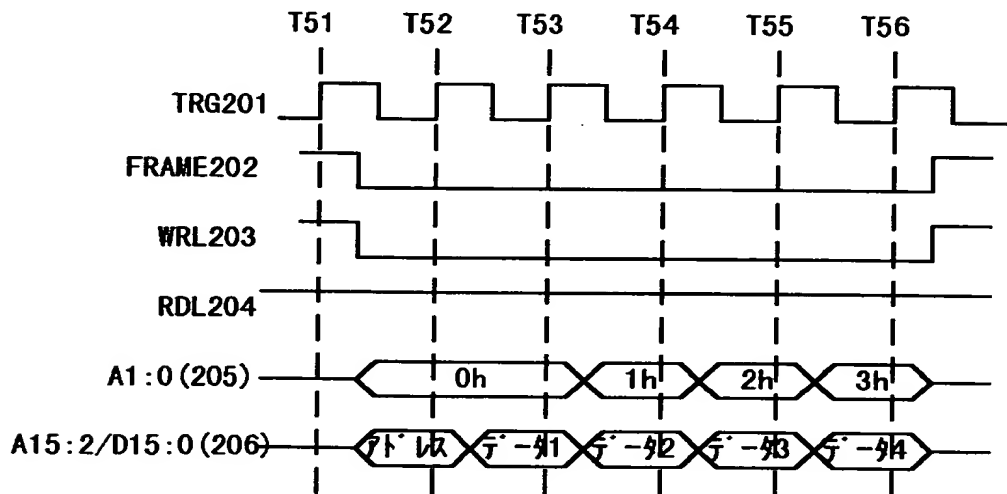
【図 20】



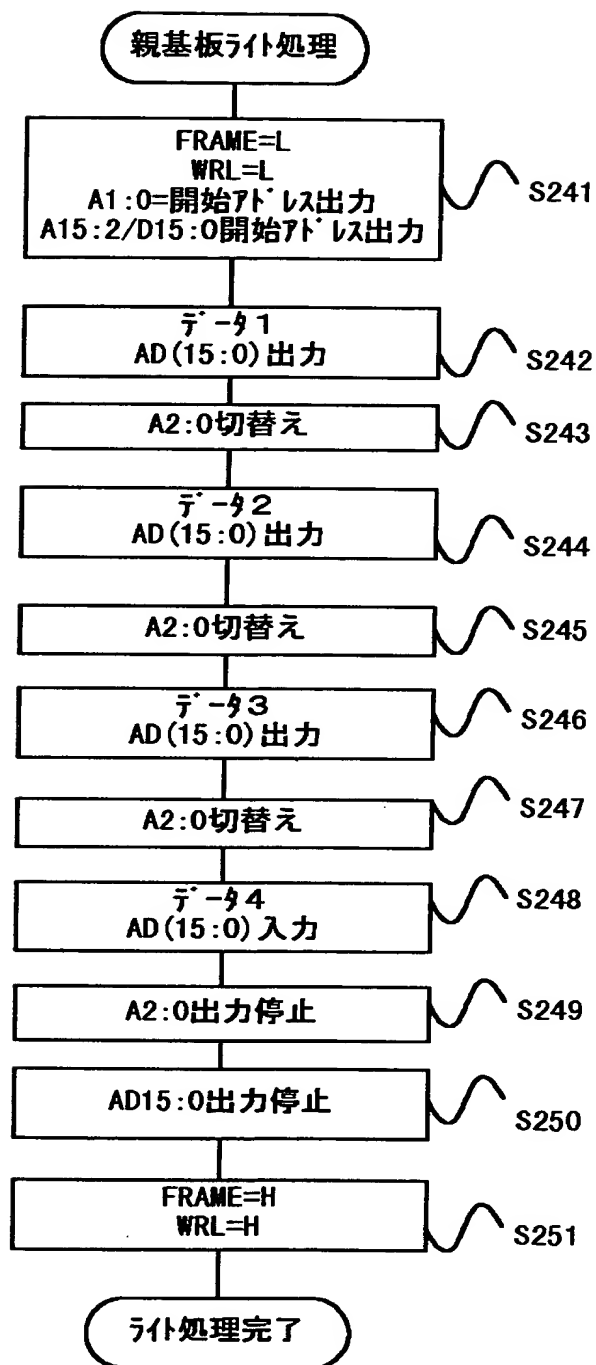
【図 2 1】



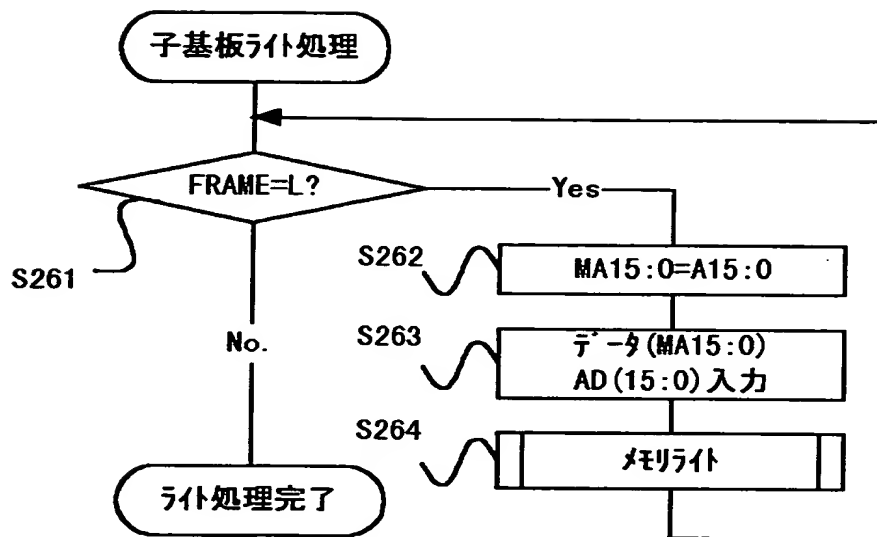
【図 2 2】



【図 23】



【図 2 4】



【書類名】 要約書

【要約】

【課題】 連続転送をする際に連続アドレスを示す信号線を削除しながらも連続転送を増やすと共に安定した転送を実現する。

【解決手段】 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレス及び所定のトリガ信号に基づき生成する工程と、を備えた。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社